

## 实验五 计数器及时序电路

### 一、实验目的

- 1、了解时序电路的经典设计方法（D 触发器和 JK 触发器和一般逻辑门组成的时序逻辑电路）。
- 2、了解通用同步计数器，异步计数器的使用方法。
- 3、了解用同步计数器通过清零阻塞法和预显数法得到循环任意进制计数器的方法。
- 4、理解时序电路和同步计数器加译码电路的联系，设计任意编码计数器。
- 5、了解同步芯片和异步芯片的区别。

### 二、硬件需求

主芯片：EP1K10TC100—3，时钟源，4 位七段数码管。

### 三、实验内容

- 1、用 D 触发器设计异步四位二进制加法计数器。
- 2、用 JK 触发器设计异步二—十进制减法计数器。
- 3、用 74LS161 两个宏连接成八位二进制同步计数器。
- 4、用 74LS390 两个宏连接成八位二—十进制异步计数器。
- 5、用 74LS161 清零和置数法组成六进制和十二进制计数器。
- 6、分别用 D 触发器和同步计数器加译码电路的方法构成 7 进制电路实现如下编码：0，2，5，3，4，6，1。

### 四、实验原理及连线

实验内容中的 6 个实验均要通过实验四的“扫描显示电路”内容进行显示，具体连线根据每个实验内容完成时的管脚化分和定义，同相应的输入、输出接口功能模块相连，扫描模块的连接参考实验四。

- 1、实验内容 1 的参考图 2—5—1；
- 2、实验内容 2 的参考图 2—5—2；
- 3、实验内容 3 的参考图 2—5—3；
- 4、实验内容 4 的参考图 2—5—4；
- 5、实验内容 5 的参考图 2—5—5；
- 6、实验内容 6 的参考图 2—5—6；

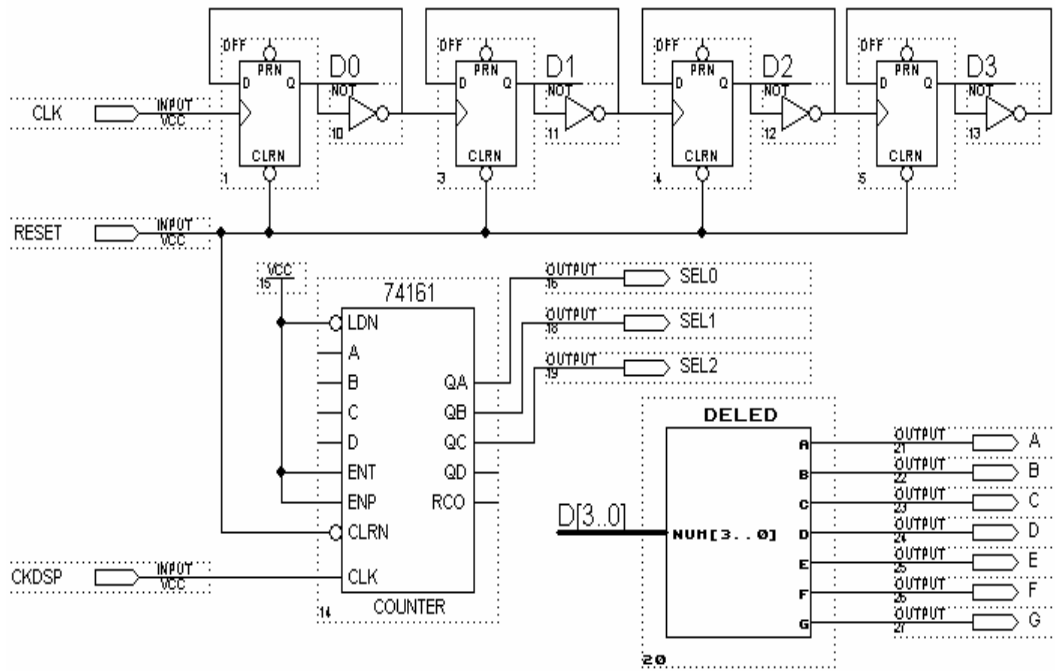


图 2—5—1

说明:

计数时钟频率  $clk < 1\text{Hz}$ ; 扫描时钟频率  $ckdsp > 40\text{Hz}$ ;

四位 D 触发器接成异步计数器;

SEL0~SEL2 为扫描地址 (控制八位数码管的扫描顺序和速度);

A...G 为显示译码输出, 代表数码管的七个段位(a,b,c,d,e,f,g),

八位数码管同时顺序显示 0~F。

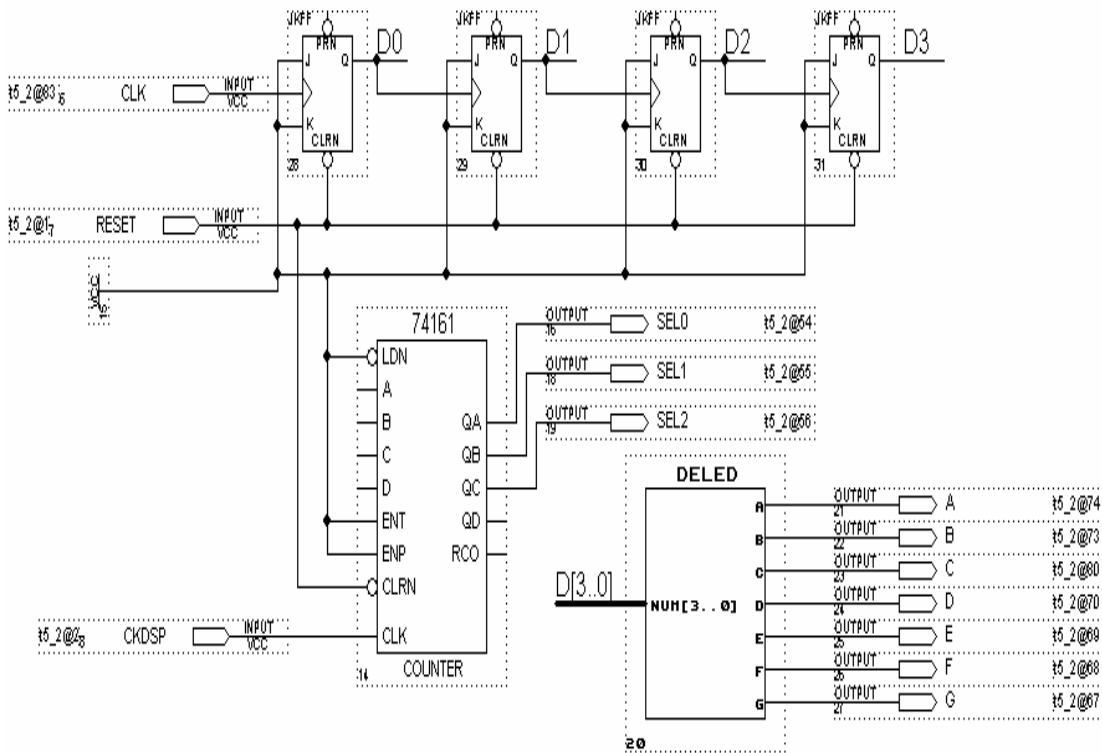


图 2—5—2

说明基本同上；  
减法计数只需对上图稍加处理。

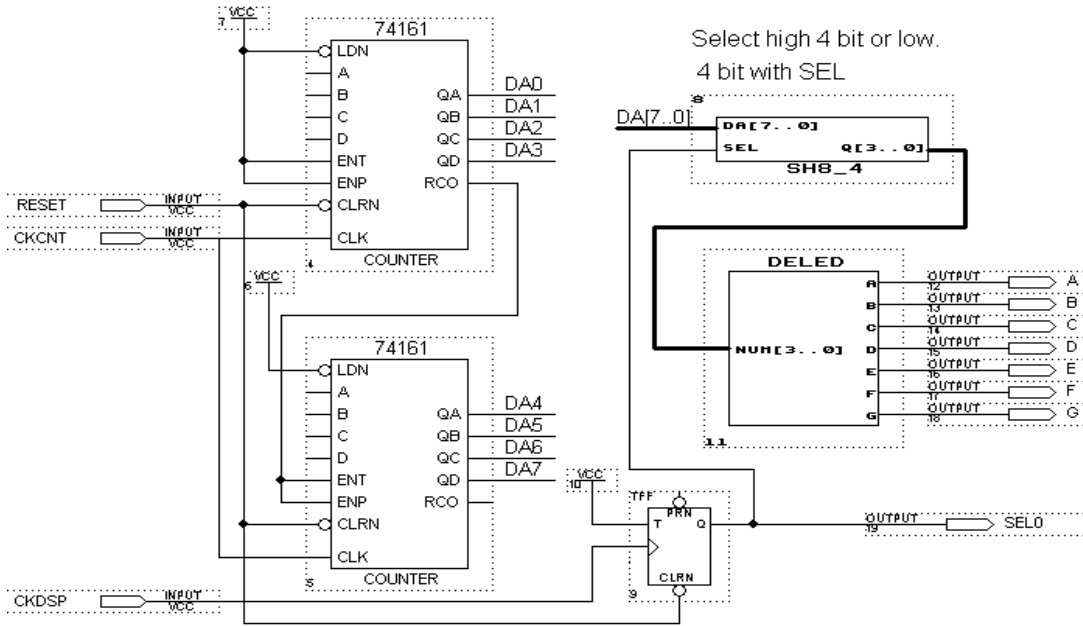


图 2—5—3

说明：

计数时钟频率  $CKCNT < 4\text{Hz}$ ，扫描时钟频率  $CKDSP > 40\text{Hz}$ ；

两个 74LS161 串接成典型的同步计数器；

SH8\_4 块完成扫描数据的切换；

SELO, A...G 说明同前；

两位数码管同时顺序显示 00~FF。

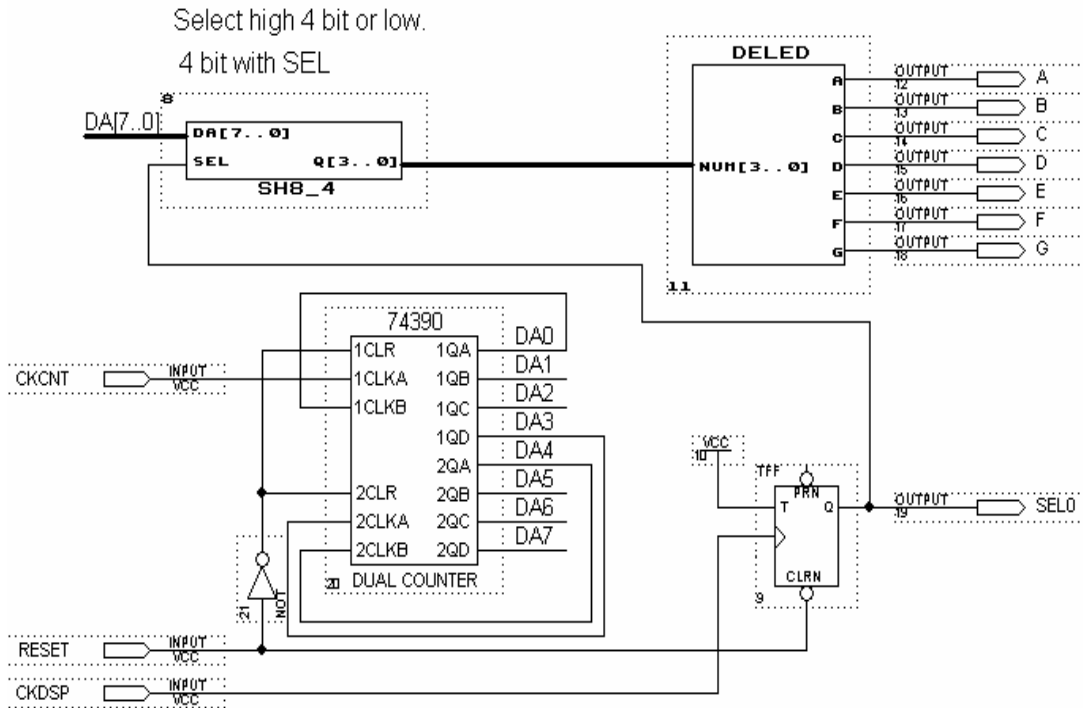


图 2—5—4

说明基本同前；

两位数码管同时顺序显示十进制 00~99。

图 2—5—5 说明：

计数时钟频率  $CKCNT < 0.5\text{HZ}$ ，扫描时钟频率  $CKDSP > 40\text{HZ}$ ；

清零法分别完成 0~4、0~B 的顺序计数；

置位法分别完成 3~9、3~F 的顺序计数；

用八位数码管显示四个计数状态。

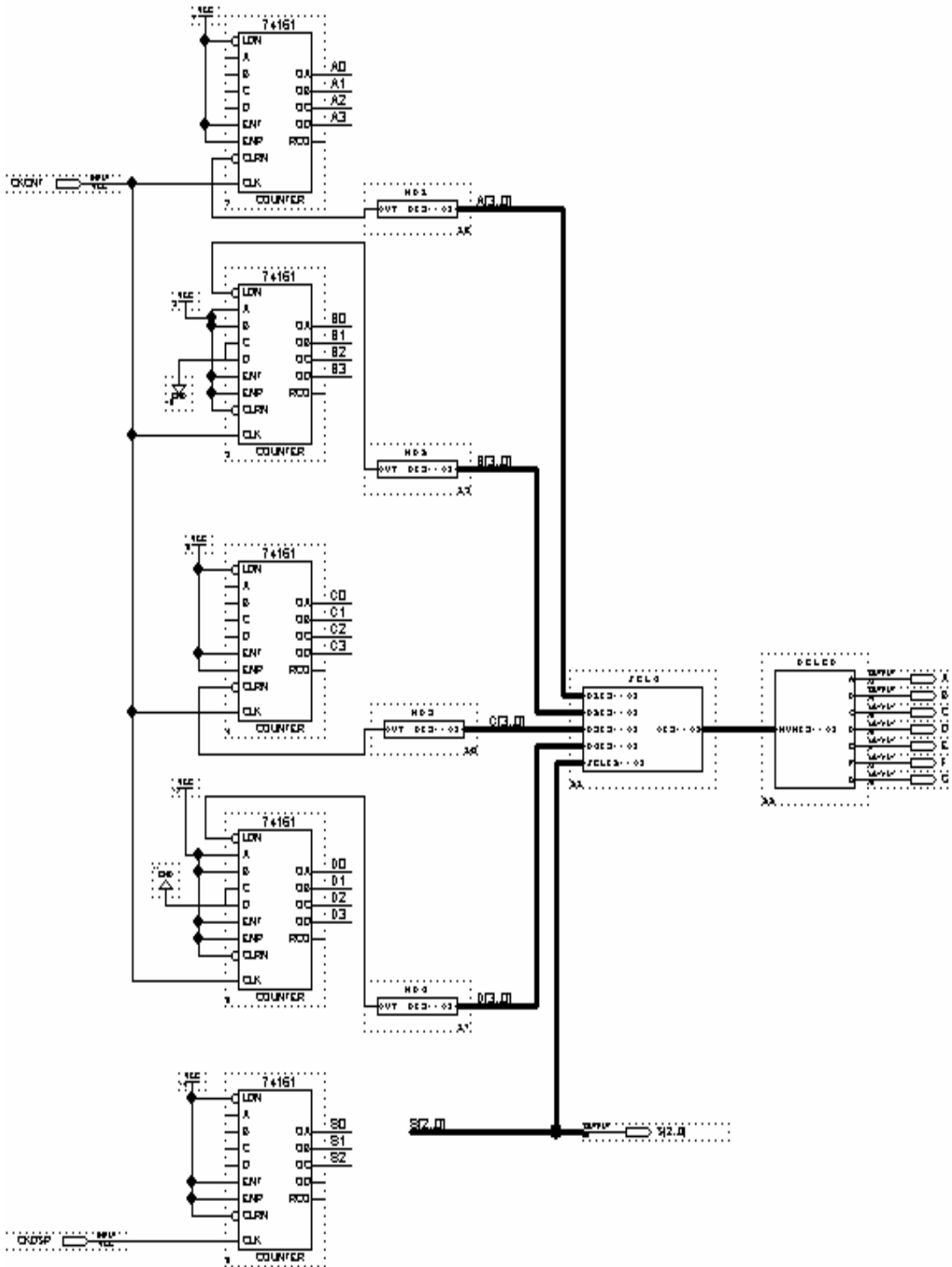


图 2—5—5

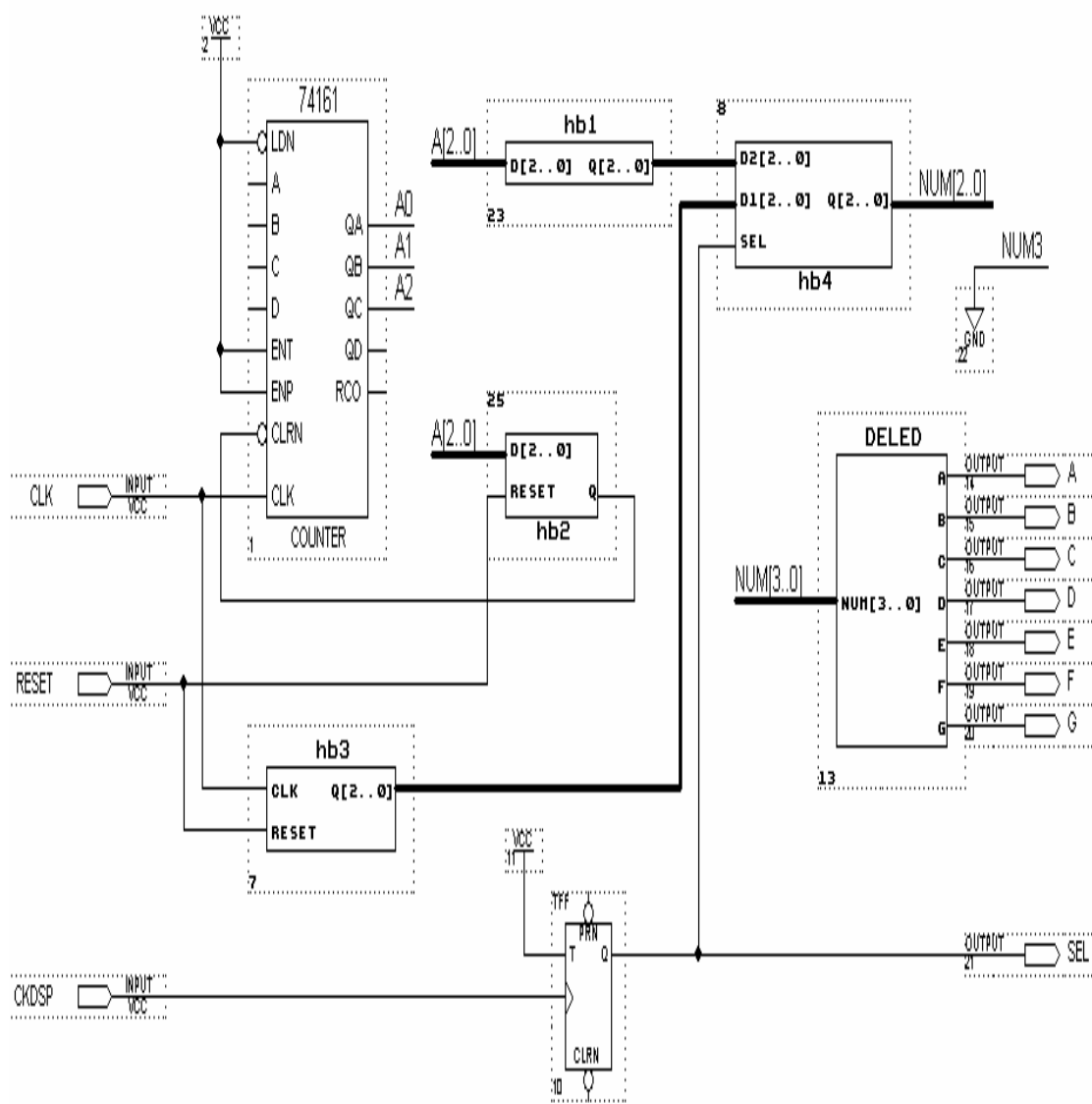


图 2—5—6

**说明：**计数时钟频率  $CLK < 0.5\text{HZ}$ ，扫描时钟频率  $CKDSP > 40\text{HZ}$ ；

这是按 0, 2, 5, 3, 4, 6, 1 变化的七进制计数器；图中包括两个独立的实现方法，一种为异步清零，一种为同步清零，两种方法同时显示；

5.1.6.gdf 用 74LS161 计数器加译码的方法实现异步清零七进制计数器的设计；同时用状态机的方法实现同步清零七进制计数器的设计。