

本章共分六节，主要讲述：

2.1 80C51系列概述

2.2 80C51的基本结构与应用模式

2.3 80C51典型产品资源配置与引脚封装

2.4 80C51的内部结构

2.5 80C51的存储器组织

2.6 80C51的并行口结构与操作

2.1 80C51系列概述

2.1.1 MCS-51系列

(1) **MCS-51**是Intel公司生产的一个单片机系列名称。属于这一系列的单片机有多种，如：

- * 8051/8751/8031;
- * 8052/8752/8032;
- * 80C51/87C51/80C31
- * 80C52/87C52/80C32等。

(2) 该系列生产工艺有两种：

一是**HMOS工艺**（高密度短沟道**MOS工艺**）。二是**CHMOS工艺**（互补金属氧化物的**HMOS工艺**）。

CHMOS是**CMOS**和**HMOS**的结合，既保持了**HMOS**高速度和高密度的特点，还具有**CMOS**的低功耗的特点。在产品型号中凡带有字母“**C**”的即为**CHMOS**芯片，**CHMOS**芯片的电平既与**TTL**电平兼容，又与**CMOS**电平兼容。

(3) 在功能上, 该系列单片机有基本型和增强型两大类:

基本型:

8051/8751/8031

80C51/87C51/80C31

增强型:

8052/8752/8032

80C52/87C52/80C32

(4) 在片内程序存储器的配置上，该系列单片机有三种形式，即掩膜ROM、EPROM和ROMLess(无片内程序存储器)。如：

- * 80C51有4K字节的掩膜ROM；
- * 87C51有4K字节的EPROM；
- * 80C31在芯片内无程序存储器。

2.1.2 80C51系列

80C51是**MCS-51**系列中**CHMOS**工艺的一个典型品种；其它厂商以**8051**为基核开发出的**CMOS**工艺单片机产品统称为**80C51系列**。当前常用的**80C51**系列单片机主要产品有：

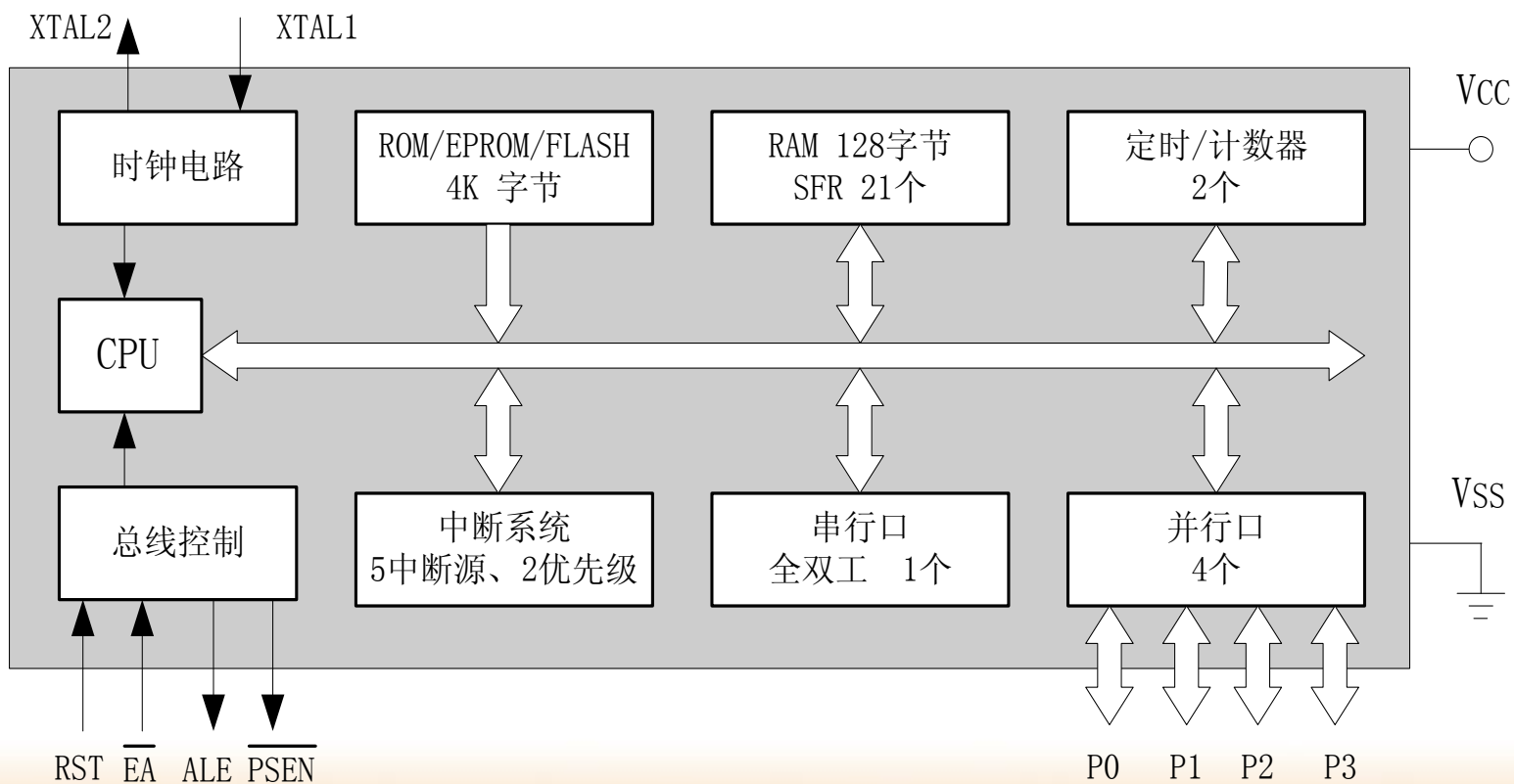
- * **Intel**的：**80C31**、**80C51**、**87C51**，**80C32**、**80C52**、**87C52**等；

- * **ATMEL**的：**89C51**、**89C52**、**89C2051**等；

- * **Philips**、**华邦**、**Dallas**、**Siemens(Infineon)**等公司的许多产品。

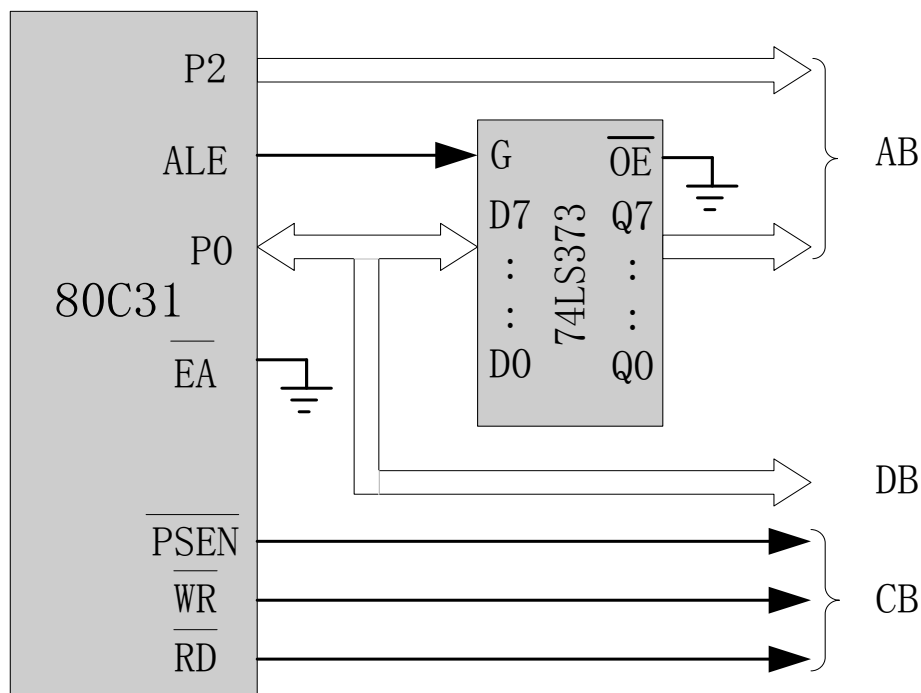
2.2 80C51的基本结构与应用模式

2.2.1 80C51的基本结构

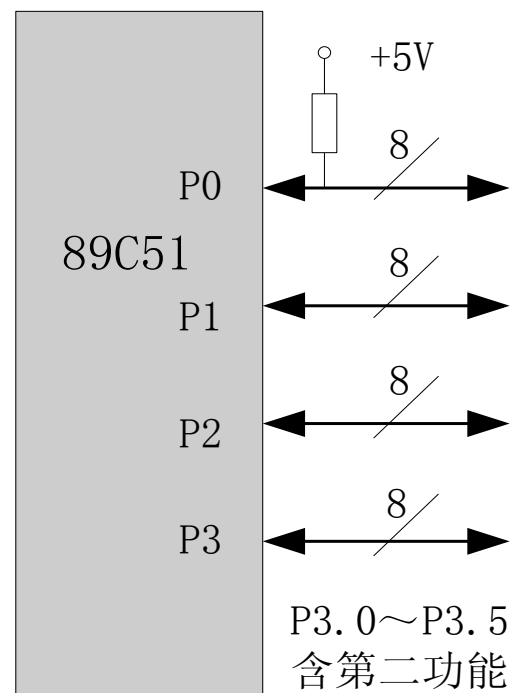


2.2.2 80C51的应用模式

一、总线型单片机应用模式



总线型应用的“三总线”模式
模式



非总线型应用的“多I/O”

二、非总线型单片机应用模式

非总线型单片机已经将用于外部总线扩展用的I/O口线和控制功能线去掉，从而使单片机的**引脚数减少、体积减小**。对于不需进行并行外围扩展，装置的体积要求苛刻且程序量不大的系统极其适合。非总线型单片机典型产品如：

AT89C2051/AT89C4051。

2.3 80C51典型产品资源配置与引脚

2.3.1 80C51典型产品资源配置

分 类↕	芯片型号↕	存储器类型及字节数↕		片内其它功能单元数量↕				
		ROM↕	RAM↕	并行口↕	串行口↕	定时/计数器↕	中断源↕	
总线型↕	基本型↕	80C31↕	无↕	128↕	4个↕	1个↕	2个↕	5个↕
		80C51↕	4K 掩膜↕	128↕	4个↕	1个↕	2个↕	5个↕
		87C51↕	4K EPROM↕	128↕	4个↕	1个↕	2个↕	5个↕
		89C51 ↕	4K Flash ↕	128↕	4个↕	1个↕	2个↕	5个↕
	增强型↕	80C32↕	无↕	256↕	4个↕	1个↕	3个↕	6个↕
		80C52↕	8K 掩膜↕	256↕	4个↕	1个↕	3个↕	6个↕
		87C52↕	8K EPROM↕	256↕	4个↕	1个↕	3个↕	6个↕
		89C52 ↕	8K Flash ↕	256↕	4个↕	1个↕	3个↕	6个↕
非总线型↕	89C2051↕	2K Flash↕	128↕	2个↕	1个↕	2个↕	5个↕	
	89C4051 ↕	4K Flash ↕	128↕	2个↕	1个↕	2个↕	5个↕	

注：表中加黑的 ATMEL 公司 AT89 系列产品应用方便，应优先选用。↕

由表可见：

(1) 增强型与基本型在以下几点不同：

- * 片内ROM字节数：从4K增加到**8K**；
- * 片内RAM字节数：从128增加到**256**；
- * 定时/计数器从2个增加到**3个**；
- * 中断源由5个增加到**6个**。

(2) 片内ROM的配置形式:

- * **无ROM** (即ROMLess) 型, 应用时要在片外扩展程序存储器;

- * **掩膜ROM** (即MaskROM) 型, 用户程序由芯片生产厂写入;

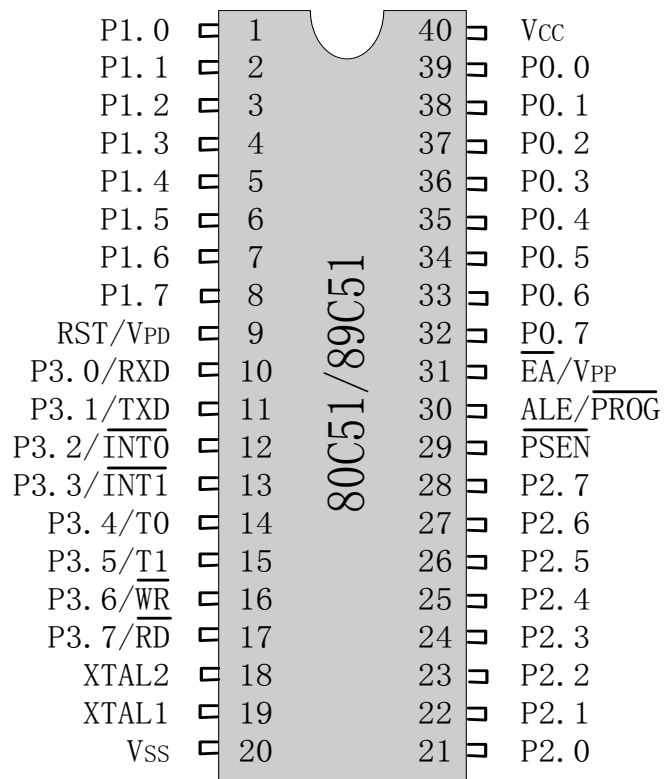
- * **EPROM**型, 用户程序通过写入装置写入, 通过紫外线照射擦除;

- * **FlashROM**型, 用户程序可以电写入或擦除 (当前常用方式)。

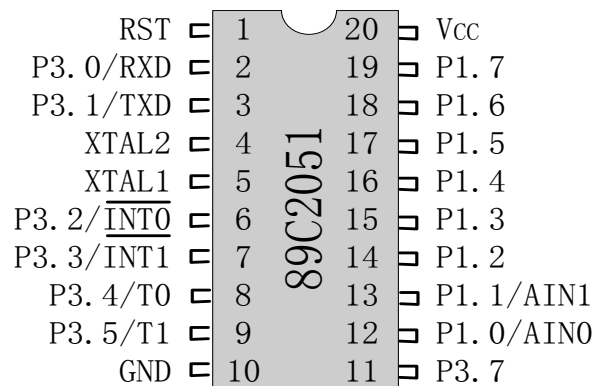
还有**OTPROM**型 (一次性编程写入ROM) 产品, 具有较高的环境适应性和可靠性。

2.3.2 80C51的引脚封装

总线型

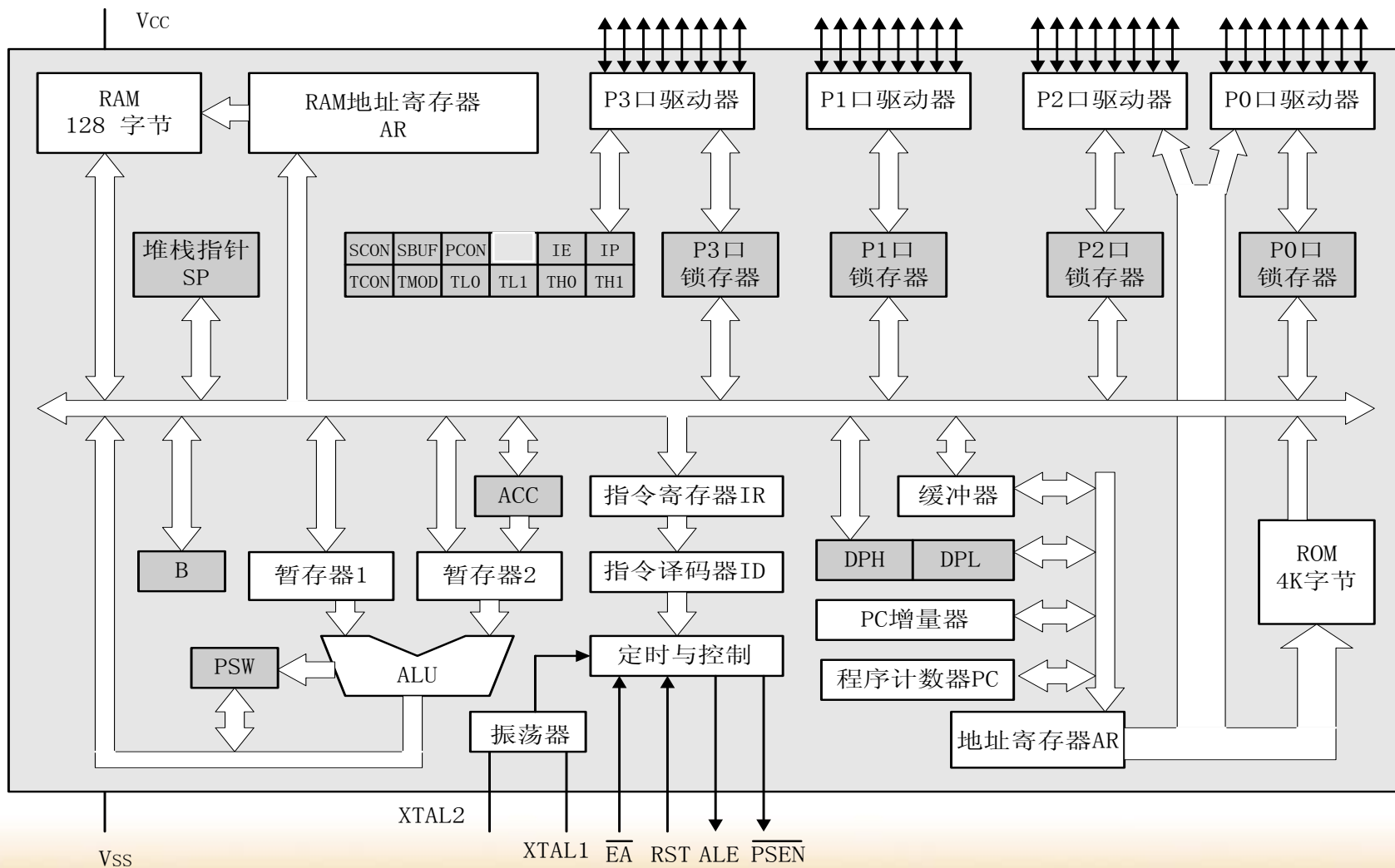


非总线型



注：类似的还有Philips公司的
 87LPC64, 20引脚
 8XC748/750/ (751), 24引脚
 8X749 (752), 28引脚
 8XC754, 28引脚
 等等

2.4 80C51的内部结构



2.4.1 80C51的内部结构

一、80C51的微处理器（CPU）

（1）运算器

累加器**ACC**；

寄存器**B**；

程序状态字寄存器**PSW**。

（2）控制器

程序计数器**PC**；

指令寄存器**IR**；

定时与控制逻辑。

二、80C51的片内存储器

在物理上设计成**程序存储器**和**数据存储器**
两个**独立的空间**（称为**哈佛结构**）：

* **内部ROM**容量**4K**字节

范围是：**000H~0FFFH**

* **内部RAM**容量**128**字节

范围是：**00H~7FH**

三、80C51的I/O口及功能单元

- **四个8位的并行口，即P0~P3**。它们均为双向口，既可作为输入，又可作为输出。每个口各有**8条I/O线**。
- **有一个全双工的串行口**（利用**P3口**的两个引脚**P3.0**和**P3.1**）；
- **有2个16位的定时/计数器**；
- **有1套完善的中断系统**。

四、80C51的特殊功能寄存器（SFR）

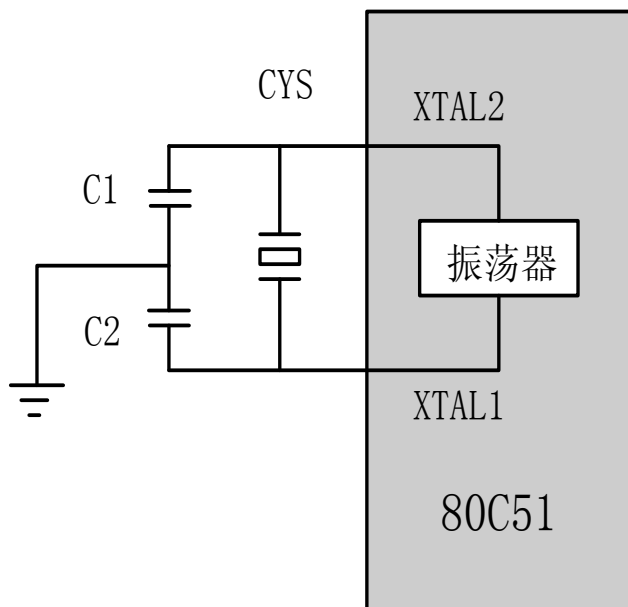
• 内部有SP，DPTR（可分成DPH、DPL两个8位寄存器），PCON，…，IE，IP等**21个特殊功能寄存器单元**，它们同内部RAM的128个字节统一编址，地址范围是80H~FFH。这些SFR只用到了80H~FFH中的21个字节单元，且这些单元是离散分布的。

增强型单片机的SFR有26个字节单元，所增加的5个单元均与定时/计数器2相关。

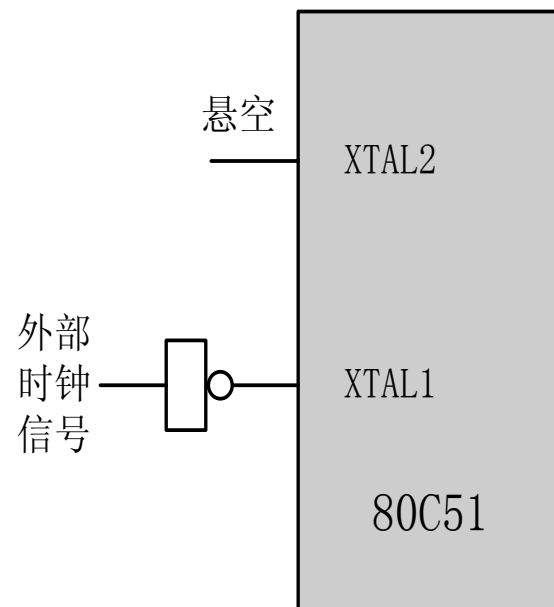
2.4.2 80C51的时钟与时序

一、80C51的时钟产生方式

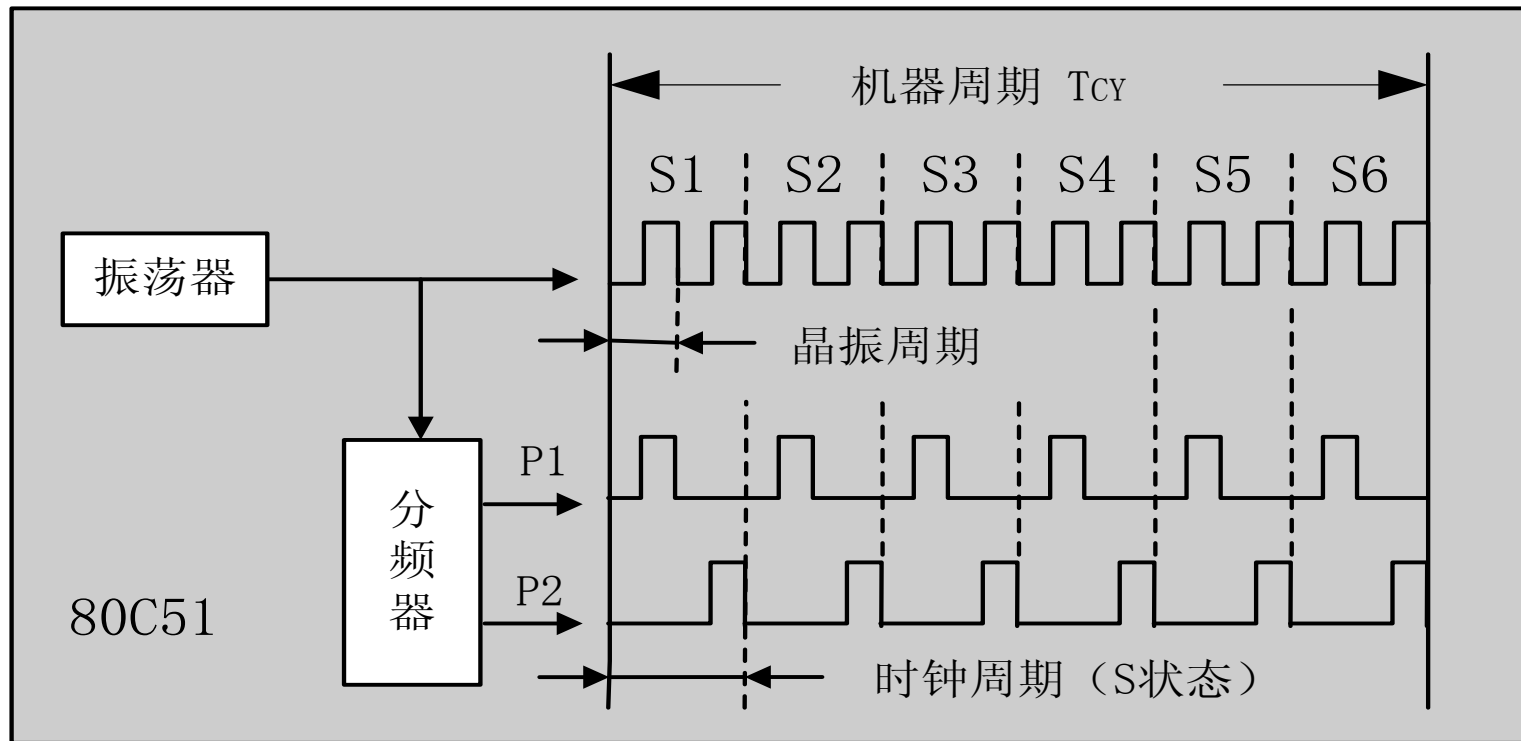
内部时钟



外部时钟



二、80C51的时钟信号



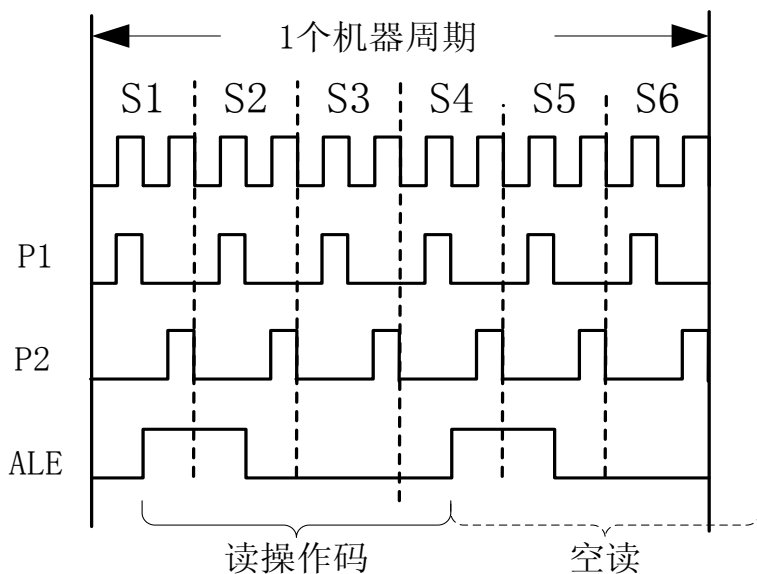
一个**机器周期**包含**12**个晶振周期或**6**个时钟周期

指令的执行时间称作**指令周期**（单、双、四周期）

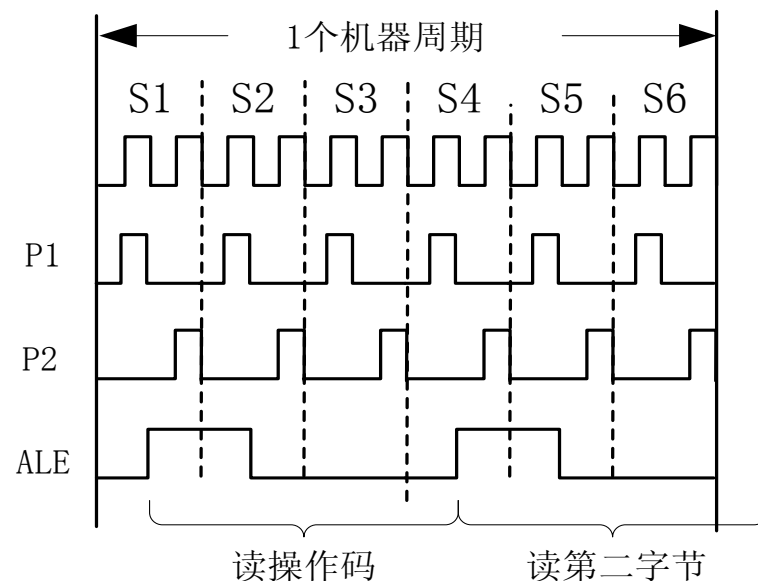
二、80C51的典型时序

各指令的微操作在时间上有严格的次序，这种微操作的时间次序我们称作时序。

1、单周期指令时序

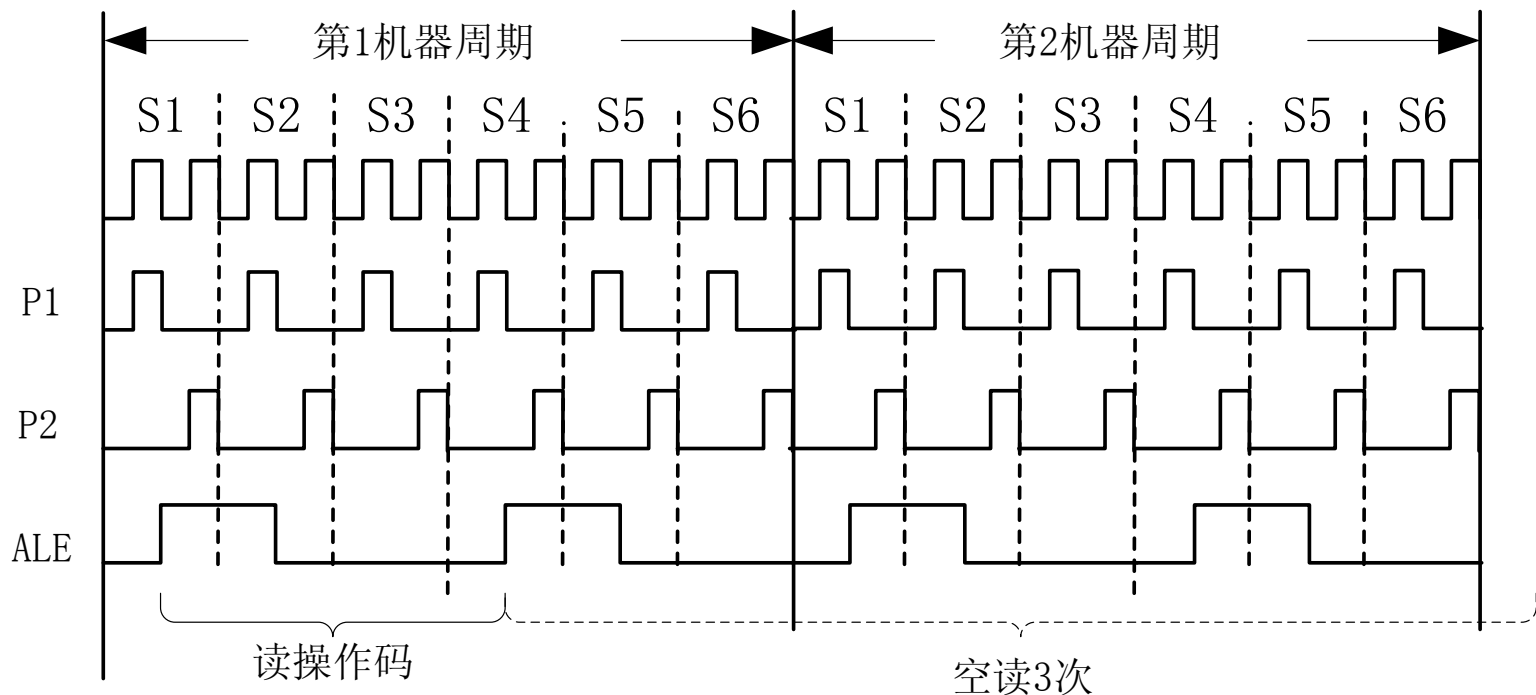


单字节指令



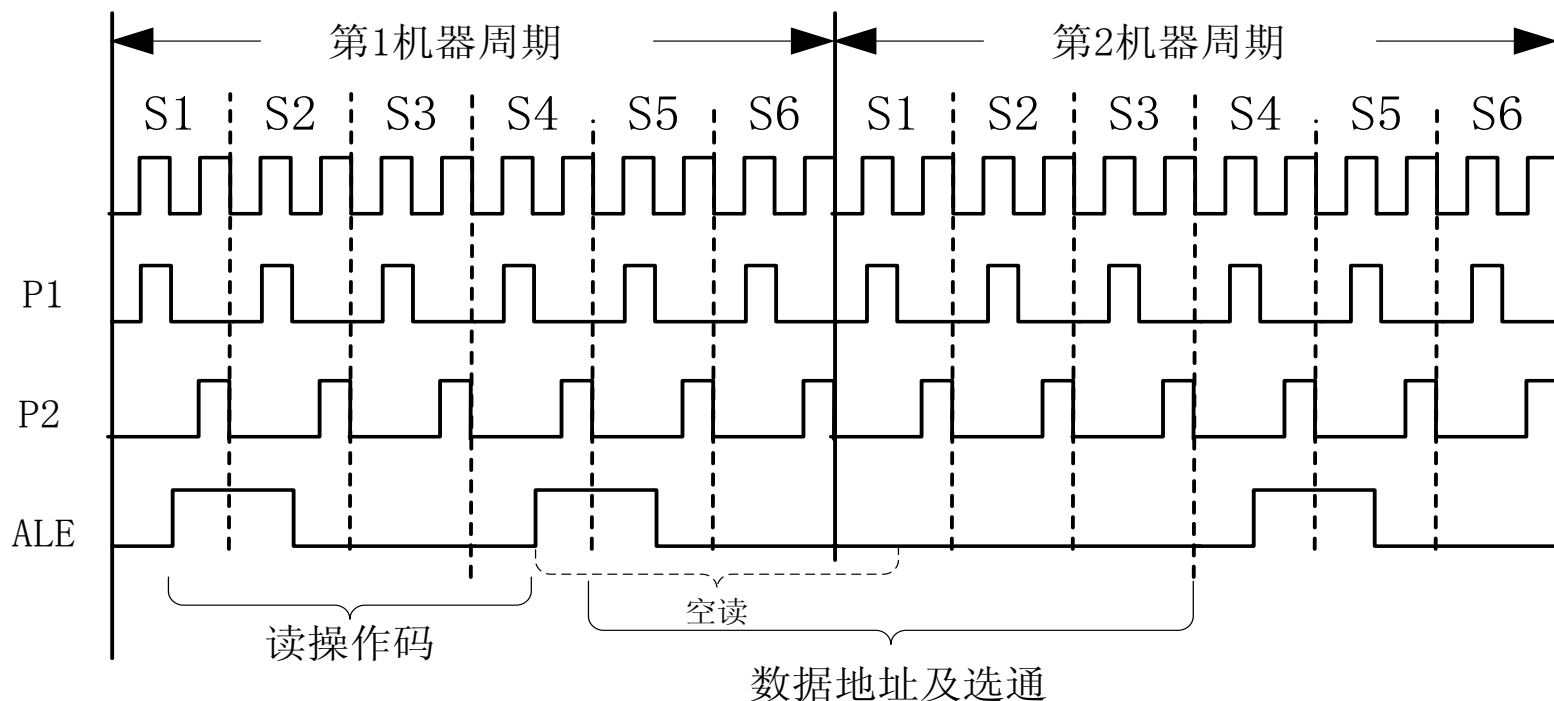
双字节指令

2、双周期指令时序



2个机器周期中**ALE**信号有效**4**次，后**3**次读操作无效。

访问外部RAM的双周期指令时序

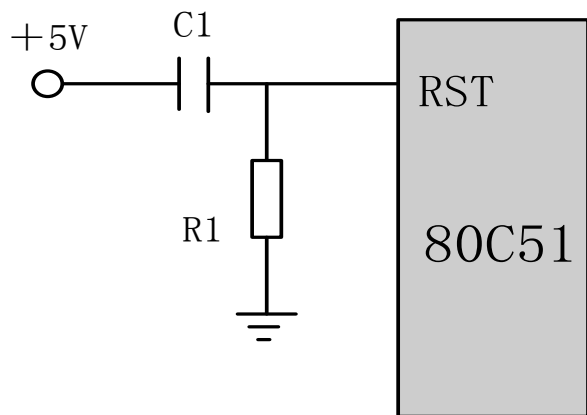


在第二机器周期无读操作码的操作，而是进行外部数据存储器的寻址和数据选通。**ALE信号会出现非周期现象。**

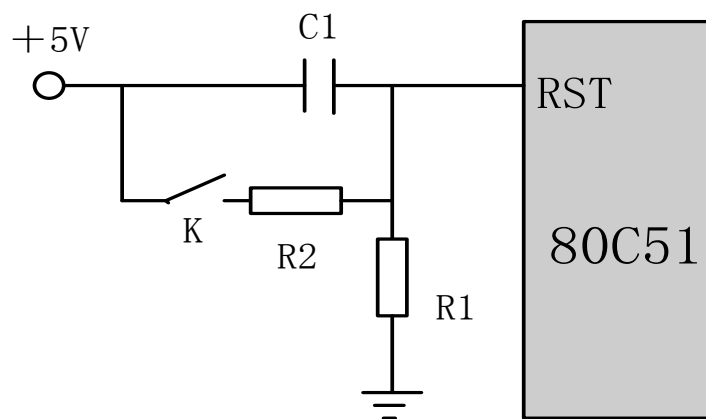
2.4.3 80C51单片机的复位

一、复位电路

复位目的是使单片机或系统中的其它部件处于某种确定的初始状态。



上电复位电路



按键与上电复位

二、单片机复位后的状态

PC=0000H，所以程序从**0000H**地址单元开始执行；启动后，片内**RAM**为随机值，运行中的复位操作不改变片内**RAM**的内容；

特殊功能寄存器复位后的状态是确定的：

- **P0~P3=FFH**，各口可用于输出，也可用于输入；
- **SP=07H**，第一个入栈内容将写入**08H**单元；
- **IP、IE和PCON**的**有效位为0**，各中断源处于低优先级且均被关断、串行通讯的波特率不加倍；
- **PSW=00H**，当前工作寄存器为**0**组。

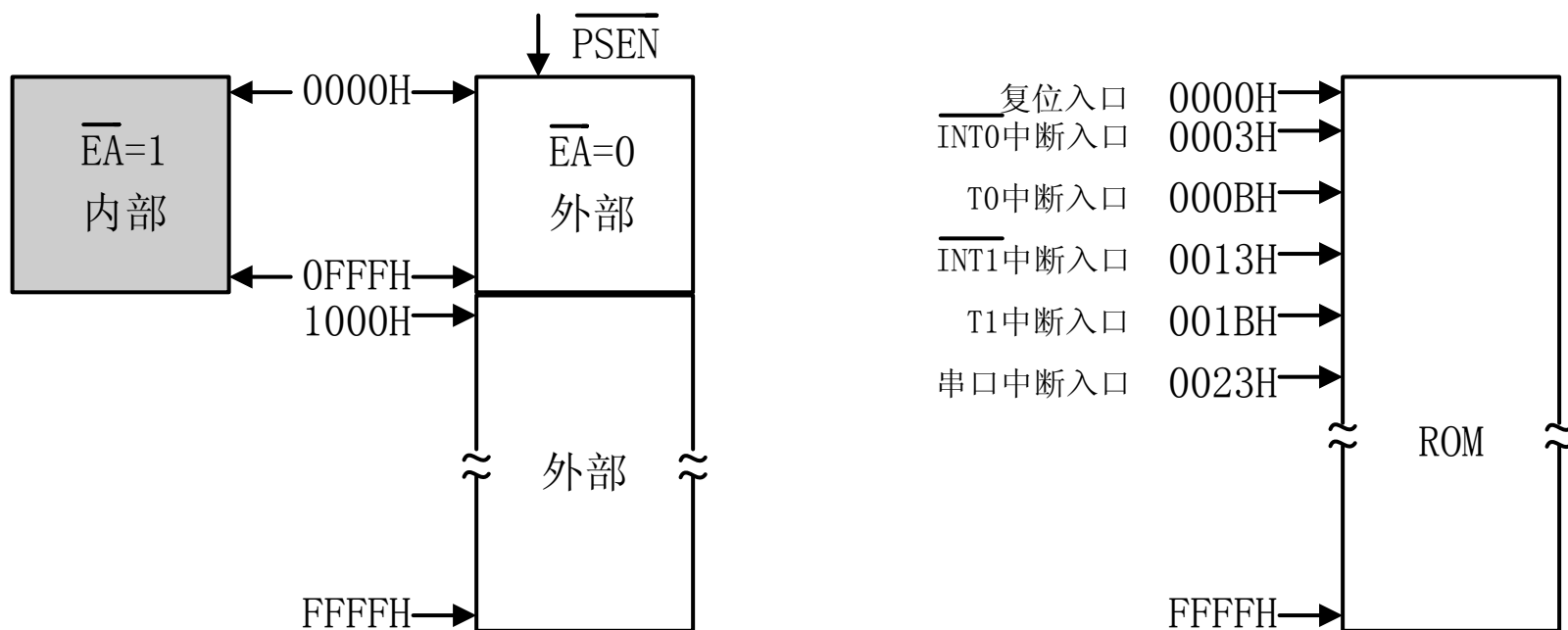
2.5 80C51的存储器组织

80C51存储器可以分成两大类：

- * **RAM**，**CPU**在运行时能随时进行数据的写入和读出，但在关闭电源时，其所存储的信息将丢失。它用来存放暂时性的输入输出数据、运算的中间结果或用作堆栈。

- * **ROM**是一种写入信息后不易改写的存储器。断电后，**ROM**中的信息保留不变。用来存放固定的程序或数据，如系统监控程序、常数表格等。

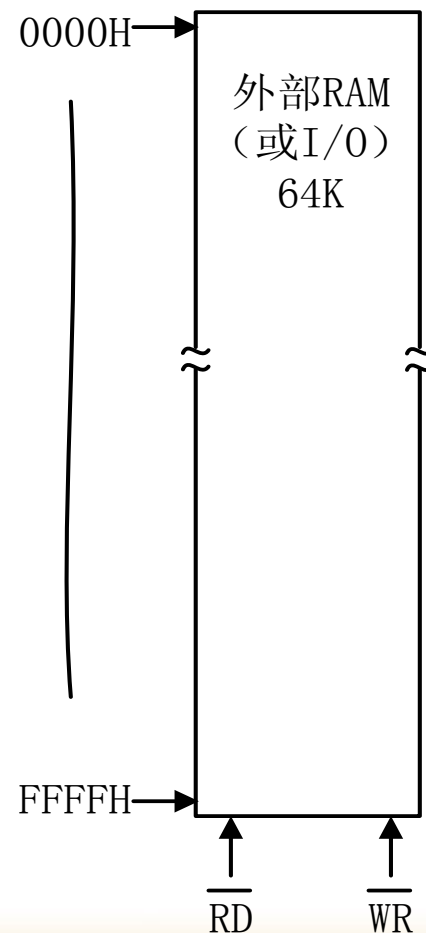
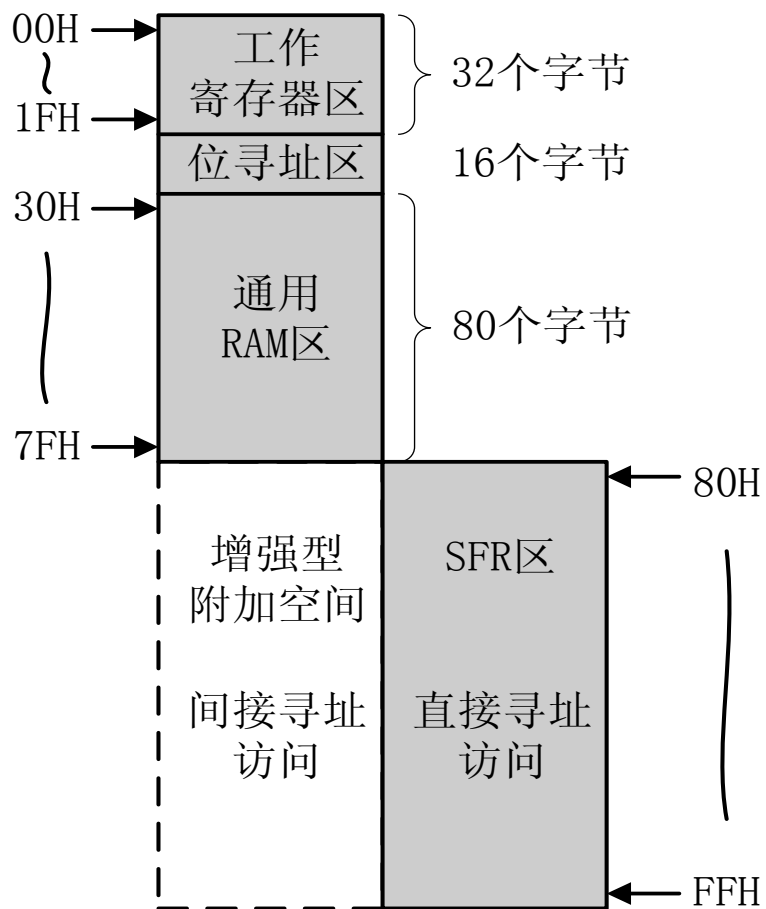
2.5.1 80C51的程序存储器配置



PC是16位的计数器，所以能寻址**64KB**的**ROM**。

80C51内部有**4KB**的掩膜**ROM**，**87C51**在内部有**4KB**的**EPROM**，而**80C31**在内部没有程序存储器。

2.5.2 80C51的数据存储器配置



一、工作寄存器区

低端32个字节分成4个工作寄存器组，每组8个单元。**当前工作寄存器组的机制**便于快速现场保护。

组号↕	RS1	RS0↕	R7↕	R6↕	R5↕	R4↕	R3↕	R2↕	R1↕	R0↕
0↕	0	0↕	07H↕	06H↕	05H↕	04H↕	03H↕	02H↕	01H↕	00H↕
1↕	0	1↕	0FH↕	0EH↕	0DH↕	0CH↕	0BH↕	0AH↕	09H↕	08H↕
2↕	1	0↕	17H↕	16H↕	15H↕	14H↕	13H↕	12H↕	11H↕	10H↕
3↕	1	1↕	1FH↕	1EH↕	1DH↕	1CH↕	1BH↕	1AH↕	19H↕	18H↕

PSW的RS1、RS0 决定当前工作寄存器组号

- 寄存器0组：地址00H~07H；
- 寄存器1组：地址08H~0FH；
- 寄存器2组：地址10H~17H；
- 寄存器3组：地址18H~1FH。

二、位寻址区

字节地址↕	位地址↕							
	D7↕	D6↕	D5↕	D4↕	D3↕	D2↕	D1↕	D0↕
20H↕	07H↕	06H↕	05H↕	04H↕	03H↕	02H↕	01H↕	00H↕
21H↕	0FH↕	0EH↕	0DH↕	0CH↕	0BH↕	0AH↕	09H↕	08H↕
22H↕	17H↕	16H↕	15H↕	14H↕	13H↕	12H↕	11H↕	10H↕
23H↕	1FH↕	1EH↕	1DH↕	1CH↕	1BH↕	1AH↕	19H↕	18H↕
24H↕	27H↕	26H↕	25H↕	24H↕	23H↕	22H↕	21H↕	20H↕
25H↕	2FH↕	2EH↕	2DH↕	2CH↕	2BH↕	2AH↕	29H↕	28H↕
26H↕	37H↕	36H↕	35H↕	34H↕	33H↕	32H↕	31H↕	30H↕
27H↕	3FH↕	3EH↕	3DH↕	3CH↕	3BH↕	3AH↕	39H↕	38H↕
28H↕	47H↕	46H↕	45H↕	44H↕	43H↕	42H↕	41H↕	40H↕
29H↕	4FH↕	4EH↕	4DH↕	4CH↕	4BH↕	4AH↕	49H↕	48H↕
2AH↕	57H↕	56H↕	55H↕	54H↕	53H↕	52H↕	51H↕	50H↕
2BH↕	5FH↕	5EH↕	5DH↕	5CH↕	5BH↕	5AH↕	59H↕	58H↕
2CH↕	67H↕	66H↕	65H↕	64H↕	63H↕	62H↕	61H↕	60H↕
2DH↕	6FH↕	6EH↕	6DH↕	6CH↕	6BH↕	6AH↕	69H↕	68H↕
2EH↕	77H↕	76H↕	75H↕	74H↕	73H↕	72H↕	71H↕	70H↕
2FH↕	7FH↕	7EH↕	7DH↕	7CH↕	7BH↕	7AH↕	79H↕	78H↕

三、通用RAM区

位寻址区之后的**30H至7FH**共**80个字节**为通用**RAM**区。这些单元可以作为数据缓冲器使用。这一区域的操作指令非常丰富，数据处理方便灵活。

在实际应用中，常需在**RAM**区设置堆栈。**80C51**的堆栈一般设在**30H~7FH**的范围内。栈顶的位置由**SP**寄存器指示。复位时**SP**的初值为**07H**，在系统初始化时可以重新设置。

2.5.3

80C51的特 殊功能寄存 器 (SFR)

SFR _n	位地址/位符号 (有效位 82 个)								字节地址 _n
P0 _n	87H ₁	86H ₁	85H ₁	84H ₁	83H ₁	82H ₁	81H ₁	80H ₁	80H ₁
	P07 ₁	P06 ₁	P05 ₁	P04 ₁	P03 ₁	P02 ₁	P01 ₁	P00 ₁	
SP _n	"								81H ₁
DPL _n	"								82H ₁
DPH _n	"								83H ₁
PCON _n	按字节访问, 但相应位有规定含义 (见第六章)								87H ₁
TCON _n	8FH ₁	8EH ₁	8DH ₁	8CH ₁	8BH ₁	8AH ₁	89H ₁	88H ₁	88H ₁
	TF1 ₁	TR1 ₁	TF0 ₁	TR0 ₁	IE1 ₁	IT1 ₁	IE0 ₁	IT0 ₁	
TMOD _n	按字节访问, 但相应位有规定含义 (见第五章)								89H ₁
TL0 _n	"								8AH ₁
TL1 _n	"								8BH ₁
TH0 _n	"								8CH ₁
TH1 _n	"								8DH ₁
P1 _n	97H ₁	96H ₁	95H ₁	94H ₁	93H ₁	92H ₁	91H ₁	90H ₁	90H ₁
	P17 ₁	P16 ₁	P15 ₁	P14 ₁	P13 ₁	P12 ₁	P11 ₁	P10 ₁	
SCON _n	9FH ₁	9EH ₁	9DH ₁	9CH ₁	9BH ₁	9AH ₁	99H ₁	98H ₁	98H ₁
	SM0 ₁	SM1 ₁	SM2 ₁	REN ₁	TB8 ₁	RB8 ₁	TI ₁	RI ₁	
SBUF _n	"								99H ₁
P2 _n	A7H ₁	A6H ₁	A5H ₁	A4H ₁	A3H ₁	A2H ₁	A1H ₁	A0H ₁	A0H ₁
	P27 ₁	P26 ₁	P25 ₁	P24 ₁	P23 ₁	P22 ₁	P21 ₁	P20 ₁	
IE _n	AFH ₁	- ₁	- ₁	ACH ₁	ABH ₁	AAH ₁	A9H ₁	A8H ₁	A8H ₁
	EA ₁	- ₁	- ₁	ES ₁	ET1 ₁	EK1 ₁	ET0 ₁	EK0 ₁	
P3 _n	B7H ₁	B6H ₁	B5H ₁	B4H ₁	B3H ₁	B2H ₁	B1H ₁	B0H ₁	B0H ₁
	P37 ₁	P36 ₁	P35 ₁	P34 ₁	P33 ₁	P32 ₁	P31 ₁	P30 ₁	
IP _n	- ₁	- ₁	- ₁	BCH ₁	BBH ₁	BAH ₁	B9H ₁	B8H ₁	B8H ₁
	- ₁	- ₁	- ₁	PS ₁	PT1 ₁	PX1 ₁	PT0 ₁	PX0 ₁	
PSW _n	D7H ₁	D6H ₁	D5H ₁	D4H ₁	D3H ₁	D2H ₁	DIH ₁	D0H ₁	D0H ₁
	CY ₁	AC ₁	FO ₁	RS1 ₁	RS0 ₁	OV ₁	- ₁	P ₁	
ACC _n	E7H ₁	E6H ₁	E5H ₁	E4H ₁	E3H ₁	E2H ₁	E1H ₁	E0H ₁	E0H ₁
	ACC7 ₁	ACC6 ₁	ACC5 ₁	ACC4 ₁	ACC3 ₁	ACC2 ₁	ACC1 ₁	ACC0 ₁	
B _n	F7H ₁	F6H ₁	F5H ₁	F4H ₁	F3H ₁	F2H ₁	F1H ₁	F0H ₁	F0H ₁
	B7 ₁	B6 ₁	B5 ₁	B4 ₁	B3 ₁	B2 ₁	B1 ₁	B0 ₁	



一、与运算器相关的寄存器（3个）

- 累加器**ACC**，8位。用于向**ALU**提供操作数，许多运算的结果也存放在累加器中；
- 寄存器**B**，8位。主要用于乘、除法运算。也可以作为**RAM**的一个单元使用；
- 程序状态字寄存器**PSW**，8位。其各位含义为：
 - CY**：进位、借位标志。有进位、借位时 **CY=1**，否则**CY=0**；
 - AC**：辅助进位、借位标志；
 - F0**：用户标志位，由用户自己定义；
 - RS1、RS0**：当前工作寄存器组选择位；
 - OV**：溢出标志位。有溢出时**OV=1**，否则**OV=0**；
 - P**：奇偶标志位。**ACC**中结果有奇数个1时**P=1**，否则 **P=0**。

二、指针类寄存器（3个）

* 堆栈指针 **SP**，8位。它总是指向栈顶。

堆栈操作遵循“后进先出”的原则，入栈操作时，**SP**先加1，数据再压入**SP**指向的单元。出栈操作时，先将**SP**指向的单元的数据弹出，然后，**SP**再减1，这时**SP**指向的单元是新的栈顶。可见，**80C51**单片机的堆栈区是向地址增大的方向生成的。

* 数据指针 **DPTR**，16位。用来存放16位的地址。

它由两个8位的寄存器**DPH**和**DPL**组成。间接寻址或变址寻址可访问片外的**64KB**范围的**RAM**或**ROM**数据。

三、与口相关的寄存器（7个）

- 并行I/O口**P0、P1、P2、P3**，均为8位；
- 串行口数据缓冲器**SBUF**；
串行口控制寄存器**SCON**；
串行通讯波特率倍增寄存器**PCON**（一些位还与电源控制相关，所以又称为电源控制寄存器）。

四、与中断相关的寄存器（2个）

- 中断允许控制寄存器 **IE**;
- 中断优先级控制寄存器 **IP**。

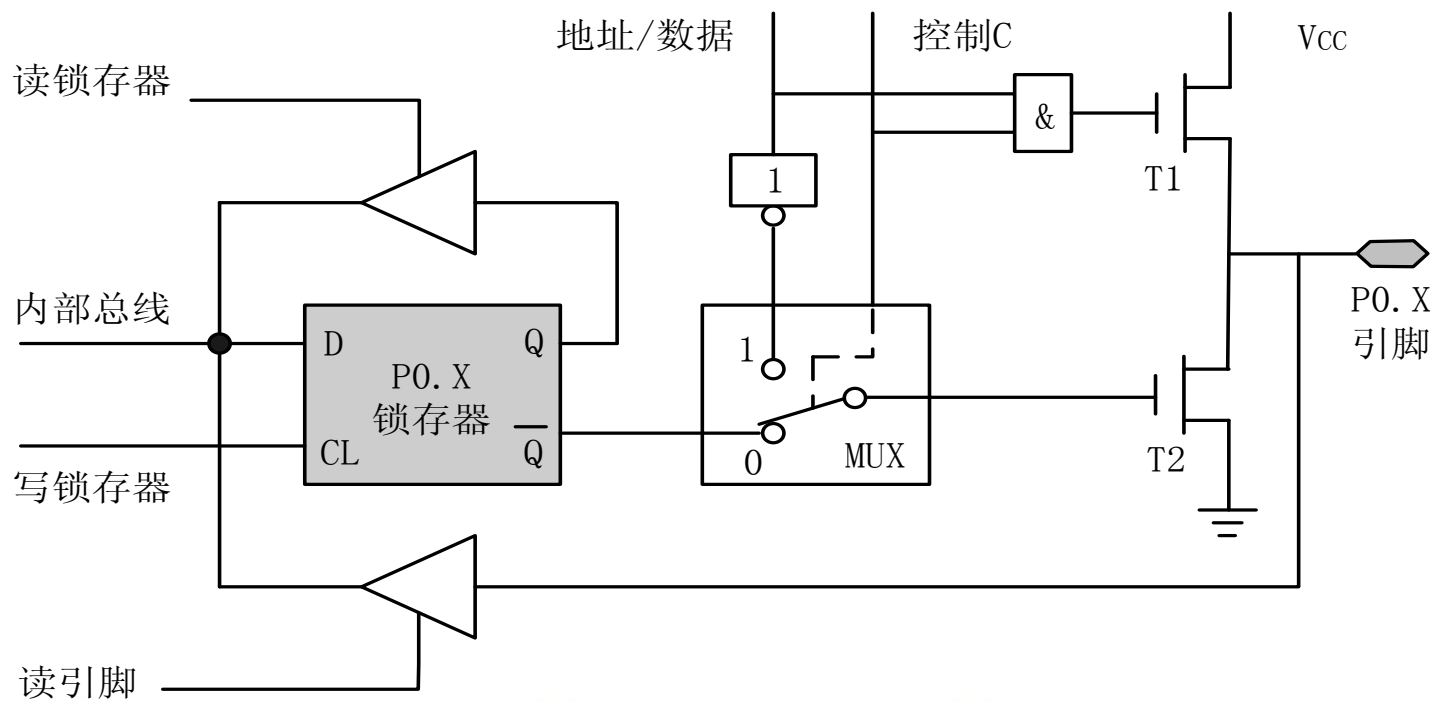
五、与定时器/计数器相关的寄存器（6个）

- 定时/计数器T0的两个8位计数初值寄存器**TH0**、**TL0**，它们可以构成16位的计数器，**TH0**存放高8位，**TL0**存放低8位；
- 定时/计数器T1的两个8位计数初值寄存器**TH1**、**TL1**，它们可以构成16位的计数器，**TH1**存放高8位，**TL1**存放低8位；
- 定时/计数器的工作方式寄存器**TMOD**；
- 定时/计数器的控制寄存器**TCON**。

2.6 80C51的并行口结构与操作

2.6.1 P0口、P2口的结构

一、P0口的结构



1、 P0用作通用I/O口

当系统不进行片外的**ROM**扩展，也不进行片外**RAM**扩展时，**P0用作通用I/O口**。

在这种情况下，单片机硬件自动使**C=0**，**MUX**开关接向锁存器的反相输出端。

另外，与门输出的“**0**”使输出驱动器的上拉场效应管**T1**处于截止状态。因此，输出驱动级工作在**需外接上拉电阻的漏极开路**方式。

- 作输出口时，**CPU**执行口的输出指令，内部数据总线上的数据在“写锁存器”信号的作用下由**D**端进入锁存器，经锁存器的反向端送至场效应管**T2**，再经**T2**反向，在**P0.X**引脚出现的数据正好是内部总线的数据。
- 作输入口时，数据可以读自口的锁存器，也可以读自口的引脚。这要根据输入操作采用的是“读锁存器”指令还是“读引脚”指令来决定。

执行“**读—修改—写**”类输入指令时（如：**ANL P0, A**），内部产生的“读锁存器”操作信号，使锁存器**Q**端数据进入内部数据总线，在与累加器**A**进行逻辑运算之后，结果又送回**P0**的口锁存器并出现在引脚。

读口锁存器可以避免因外部电路原因使原口引脚的状态发生变化造成的误读。

在执行“MOV”类输入指令时（如：MOV A, P0），内部产生的操作信号是“读引脚”。注意，在**执行该类输入指令前要把锁存器写入“1”**，使场效应管T2截止，使引脚处于悬浮状态，可以作为高阻抗输入。

否则，在作为输入方式之前曾向锁存器输出过“0”，则T2导通会使引脚箝位在“0”电平，使输入高电平“1”无法读入。所以，**P0口在作为通用I/O口时，属于准双向口。**

2、P0用作地址/数据总线

当系统进行片外的ROM扩展或进行片外RAM扩展，P0用作地址/数据总线时。

在这种情况下，单片机内硬件自动使C=1，MUX开关接向反相器的输出端，这时与门的输出由地址/数据线的状态决定。

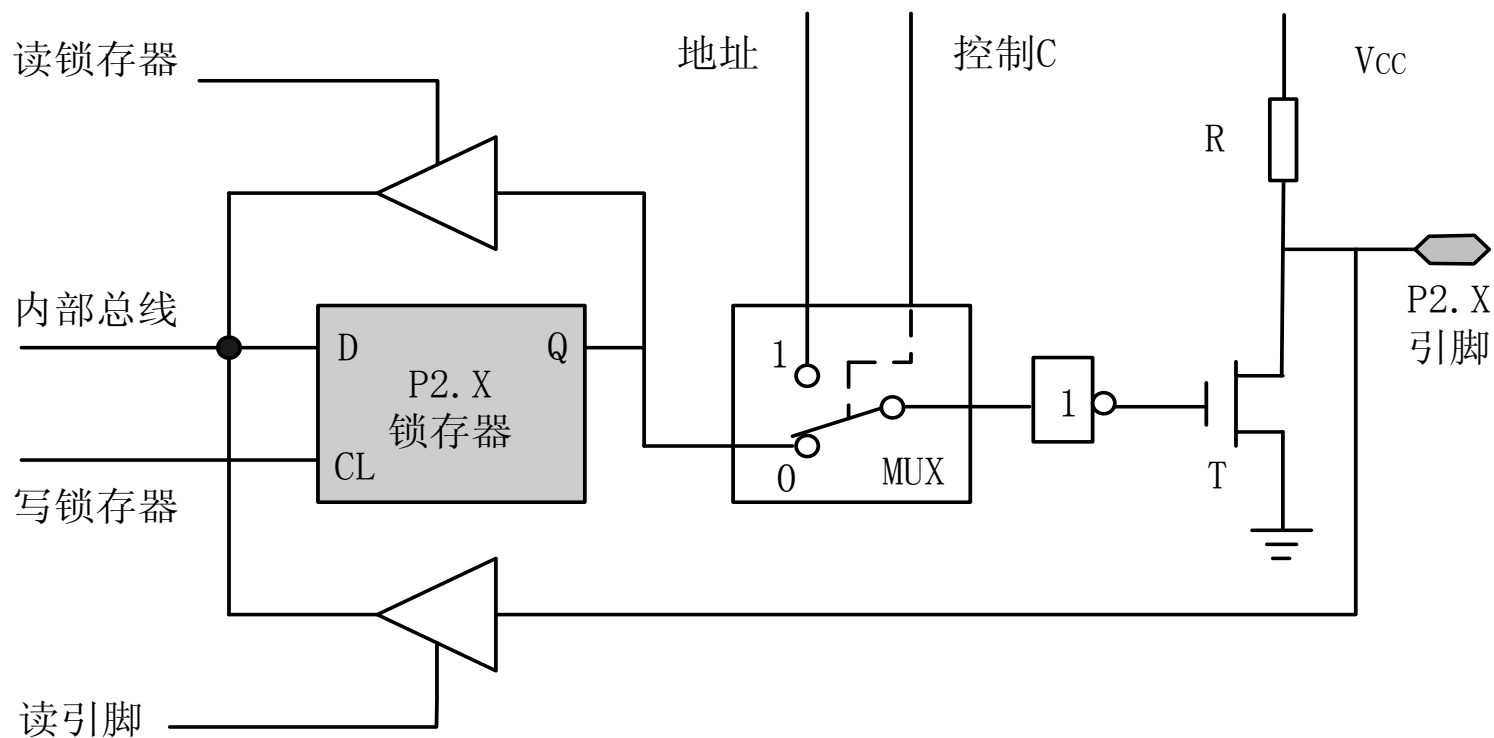
• **CPU**在执行输出指令时，低**8**位地址信息和数据信息分时地出现在地址/数据总线上。

P0.X引脚的状态与地址/数据线的信息相同。

• **CPU**在执行输入指令时，首先低**8**位地址信息出现在地址/数据总线上，**P0.X**引脚的状态与地址/数据总线的地址信息相同。然后，**CPU**自动地使转换开关**MUX**拨向锁存器，并向**P0**口写入**FFH**，同时“读引脚”信号有效，数据经缓冲器进入内部数据总线。

P0口作为地址/数据总线使用时是一个真正的双向口。

二、P2口的结构



1、 P2用作通用I/O口

当不在单片机芯片外部扩展程序存储器，只扩展**256B**的片外**RAM**时，仅用到了地址线的低**8**位，**P2口仍可以作为通用I/O口使用**。

执行输出指令时，内部数据总线的数据在“写锁存器”信号的作用下由**D**端进入锁存器，经反相器后送至场效应管**T**，再经**T**反相，在**P2.X**引脚出现的数据正好是内部总线的数据。

P2口用作输入时，数据可以读自口的锁存器，也可以读自口的引脚。这要根据输入操作采用的是“读锁存器”指令还是“读引脚”指令来决定。

执行“读—修改—写”类输入指令时内部产生的“读锁存器”操作信号使锁存器Q端数据进入内部数据总线，在与累加器A进行逻辑运算之后，结果又送回P2的口锁存器并出现在引脚。

执行“MOV”类输入指令时，内部产生的操作信号是“读引脚”。应在执行输入指令前要把锁存器写入“1”，从而使引脚处高阻抗输入状态。

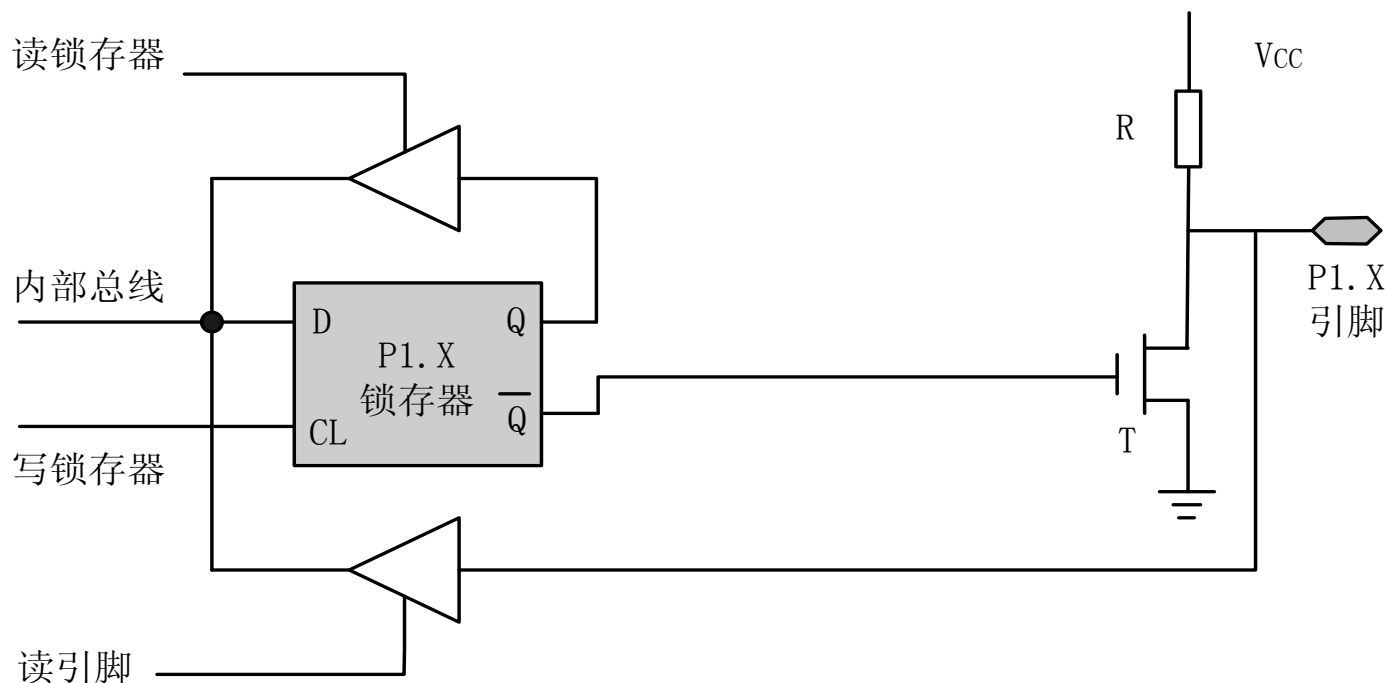
P2口在作为通用I/O口时，属于准双向口。

2、P2用作地址总线

当需要在单片机芯片外部扩展程序存储器或扩展的RAM容量超过256字节时，单片机内硬件自动使控制C=1，MUX开关接向地址线，这时P2.X引脚的状态正好与地址线的信息相同。

2.6.2 P1口、P3口的结构

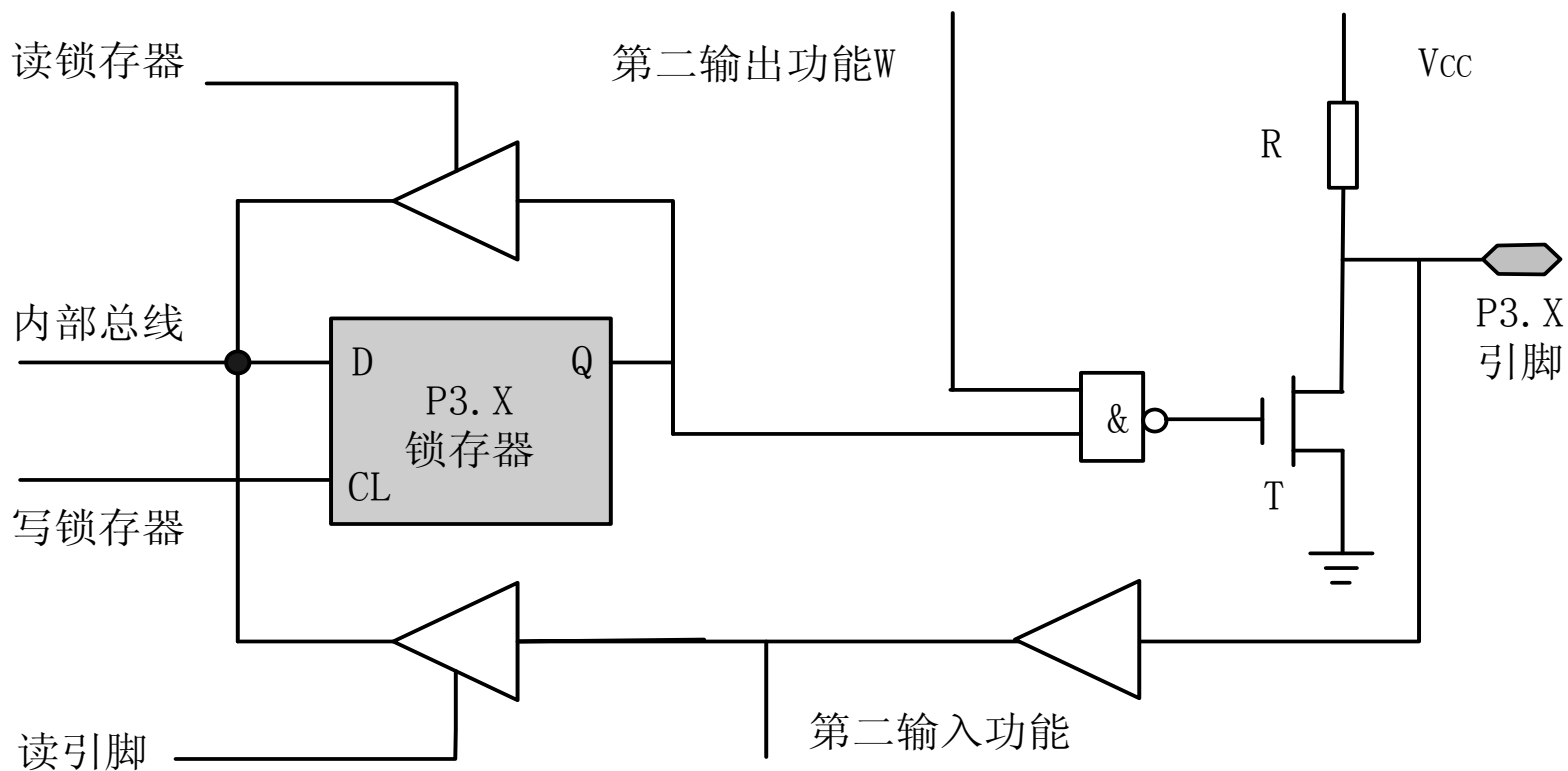
一、P1口的结构



P1口由一个输出锁存器、两个三态输入缓冲器和输出驱动电路组成。输出驱动电路与**P2口**相同，内部设有上拉电阻。

P1口是通用的准双向I/O口。输出高电平时，能向外提供拉电流负载，不必再接上拉电阻。当口用作输入时，须向口锁存器写入1。

二、P3口的结构



1、P3用作第一功能（通用I/O口）

对**P3**口进行字节或位寻址时，单片机内部的硬件自动将第二功能输出线的**W**置**1**。这时，对应的口线为通用**I/O**口方式。

- 输出时，锁存器的状态（**Q**端）与输出引脚的状态相同；
- 输入时，要先向口锁存器写入**1**，使引脚处于高阻输入状态。输入的数据在“读引脚”信号的作用下，进入内部数据总线。

P3口作为通用**I/O**口时，属于准双向口。

2、P3用作第二功能使用

当CPU不对P3口进行字节或位寻址时，内部硬件自动将口锁存器的Q端置1。这时，P3口作为第二功能使用。

- P3.0 : RXD (串行口输入) ;
- P3.1 : TXD (串行口输出) ;
- P3.2 : $\overline{\text{INT0}}$ 外部中断0输入;
- P3.3 : $\overline{\text{INT1}}$ 外部中断1输入;
- P3.4 : T0 (定时器0的外部输入) ;
- P3.5 : T1 (定时器1的外部输出) ;
- P3.6 : $\overline{\text{WR}}$ (片外数据存储器“写”选通控制输出) ;
- P3.7 : $\overline{\text{RD}}$ (片外数据存储器“读”选通控制输出) 。

2.6.3 并行口的负载能力

- P0、P1、P2、P3口的电平与CMOS和TTL电平兼容。
- P0口的每一位口线可以驱动8个LSTTL负载。在作为通用 I/O口时，由于输出驱动电路是开漏方式，由集电极开路（OC门）电路或漏极开路电路驱动时需外接上拉电阻；当作为地址/数据总线使用时，口线输出不是开漏的，无须外接上拉电阻。

P1、P2、P3口的每一位能驱动**4个LSTTL**负载。它们的输出驱动电路设有内部上拉电阻，所以可以方便地由集电极开路（**OC门**）电路或漏极开路电路所驱动，而**无须外接上拉电阻**。

由于单片机口线仅能提供几毫安的电流，当作为输出驱动一般的晶体管的基极时，应在口与晶体管的基极之间串接限流电阻。

思考题与习题

- 1、80C51在功能、工艺、程序存储器的配置上有哪些种类？
- 2、80C51的存储器组织采用何种结构？存储器地址空间如何划分？各地址空间的地址范围和容量如何？在使用上有何特点？
- 3、80C51的P0~P3口在结构上有何不同？在使用上有何特点？
- 4、80C51晶振频率为12MHz，时钟周期、机器周期为多少？
- 5、80C51复位后的状态如何？复位方法有几种？
- 6、80C51的片内、片外存储器如何选择？
- 7、80C51的PSW寄存器各位标志的意义如何？
- 8、80C51的当前工作寄存器组如何选择？
- 9、80C51的控制总线信号有哪些？各信号的作用如何？
- 10、80C51的程序存储器低端的几个特殊单元的用途如何？